



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

# Offenlegungsschrift

## DE 101 45 152 A 1

⑤① Int. Cl.<sup>7</sup>:  
G 01 R 31/3167

②① Aktenzeichen: 101 45 152.0  
②② Anmeldetag: 13. 9. 2001  
②③ Offenlegungstag: 6. 6. 2002

③⑩ Unionspriorität:  
356724/00 22. 11. 2000 JP

⑦① Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP; Ryoden  
Semiconductor System Engineering Corp., Itami,  
Hyogo, JP

⑦④ Vertreter:  
Prüfer und Kollegen, 81545 München

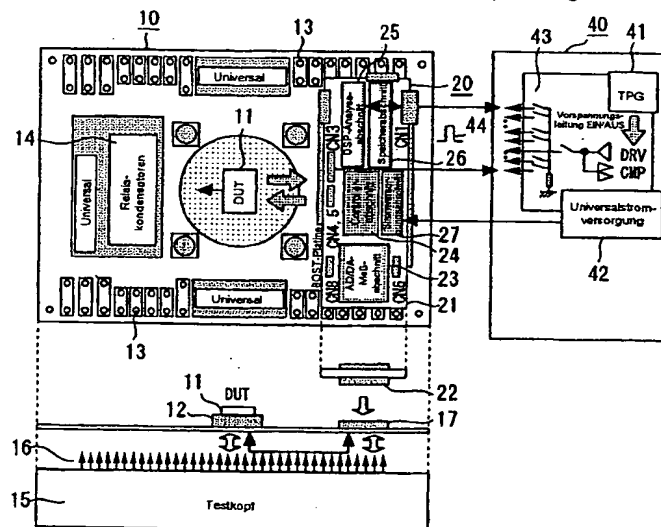
⑦② Erfinder:  
Mori, Hisaya, Itami, Hyogo, JP; Yamada, Shinji,  
Itami, Hyogo, JP; Funakura, Teruhiko, Chiyoda,  
Tokio, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Tester für integrierte Halbleiterschaltungen und Verfahren zum Testen integrierter Halbleiterschaltungen

⑤⑦ Es wird ein Tester für integrierte Halbleiterschaltungen geschaffen, der in einer integrierten Mischsignal-Halbleiterschaltung (11) mit einer A/D-Umsetzerschaltung (52) und mit einer D/A-Umsetzerschaltung (52) eine A/D-Umsetzerschaltung (51) und eine D/A-Umsetzerschaltung (52) mit hoher Genauigkeit und mit hoher Geschwindigkeit testen kann. In der Nähe einer Testschaltungsplatine (10, 10A), auf der eine zu testende integrierte Halbleiterschaltung (11) angebracht ist, ist eine Testhilfsvorrichtung (20) vorgesehen. Die Testhilfsvorrichtung (20) umfaßt eine Datenschaltung (63) zum Liefern analoger Testsignale an die A/D-Umsetzerschaltung (51) der zu testenden integrierten Halbleiterschaltung (11) und digitaler Testsignale an deren D/A-Umsetzerschaltung (52), einen Meßdatenspeicher (66) zum Speichern von Testausgangssignalen von der zu testenden integrierten Halbleiterschaltung (11) und einen Analysatorabschnitt (69) zum Analysieren der in dem Meßdatenspeicher (66) gespeicherten Daten.



DE 101 45 152 A 1

[0001] Die Erfindung betrifft das Gebiet der Tester für integrierte Halbleiterschaltungen und der Verfahren zum Testen integrierter Halbleiterschaltungen und insbesondere einen Tester für integrierte Halbleiterschaltungen mit einer A/D-Umsetzerschaltung zum Umsetzen analoger Signale in digitale Signale und einer D/A-Umsetzerschaltung zum Umsetzen digitaler Signale in analoge Signale sowie ein Verfahren zum Testen integrierter Halbleiterschaltungen.

[0002] Im folgenden wird der Tester für eine integrierte Halbleiterschaltung einfach Tester genannt. In den vergangenen Jahren ist durch Kombination leistungsfähiger hochgenauer digitaler Schaltungen und analoger Schaltungen (Mischsignalisierung) in einer System-LSI, die von einer integrierten Einchip-Halbleiterschaltung gebildet wird, die ihrerseits von mehreren Funktionssystemmodulen (Einchip-LSI) gebildet wird, oder die von einer integrierten Hybrid-schaltung gebildet wird, in der die Integration rasch fortgeschritten, wobei die Tester für diese integrierten Halbleiterschaltungen zum Bewältigen dieser Mischsignalisierung ebenfalls rasch fortgeschritten sind und von Hersteller Testern zum Test integrierter Mischsignal-Halbleiterschaltungen geliefert werden.

[0003] Damit die Tester an die Hochleistungsspezifikationen der integrierten Mischsignal-Halbleiterschaltungen angepaßt sind, neigen sie aber dazu, teuer zu sein. In einer solchen Situation gibt es eine Entwicklung, das Steigen der Testerkosten durch die Wiederverwendung vorhandener langsamer Tester mit niedriger Genauigkeit beispielsweise für Logik-LSIs zu vermeiden.

[0004] Ein signifikantes Problem, das in solchen Testern zu lösen ist, ist der Test von D/A-Umsetzerschaltungen zum Umsetzen digitaler Signale in analoge Signale und von A/D-Umsetzern zum Umsetzen analoger Signale in digitale Signale. Das Problem besteht darin, wie bei wachsender Genauigkeit dieser Umsetzerschaltungen Tester für integrierte Halbleiterschaltungen mit diesen Umsetzerschaltungen bei niedrigen Kosten zu realisieren sind.

[0005] In einem allgemeinen Testereignis für Tester gibt es entlang eines Meßwegs von einem Meßinstrument in dem Tester zu der (im folgenden DUT genannten) zu testenden integrierten Halbleiterschaltung mehrere Haltevorrichtungen, die den Tester und die DUT verbinden, wie etwa eine DUT-Schaltungsplatine (DUT-Platine) und ein Kabel, wobei der Meßweg lang ist, was zum Auftreten von Rauschen und zur Verringerung der Meßgenauigkeit führt, während es schwierig ist, mehrere DUTs gleichzeitig zu testen. Da ein langsamer Tester die DUT wegen seiner Geschwindigkeitsbeschränkung nicht bei einer praktischen Geschwindigkeit testen kann, gibt auch die steigende Testzeit für den Test massenproduzierter DUTs Anlaß zu Besorgnis.

[0006] JP 1-316024 schlägt einen Tester mit einem Speicherelement zum Speichern umgesetzter Daten an der durch die Eingangsdaten in den D/A-Umsetzer der Testschaltung spezifizierten Adresse vor, in dem mit dem D/A-Umsetzer umgesetzte analoge Signale in den A/D-Umsetzer eingegeben werden, die Ausgangssignale des A/D-Umsetzers nacheinander in dem Speicherelement gespeichert werden, die in dem Speicherelement gespeicherten umgesetzten Daten, wenn sämtliche eingegebenen Daten umgesetzt worden sind, nacheinander an den Tester gesendet werden und die eingegebenen Daten nacheinander mit den umgesetzten Daten in dem Tester verglichen werden.

[0007] Da die in den D/A-Umsetzer eingegebenen Daten, die Adressen des Speicherelements zum Speichern der umgesetzten Daten und die Steuersignale von dem Tester geliefert werden müssen, während außerdem die in dem Spei-

cherelement gespeicherten Daten an den Tester geliefert werden müssen, kann aber die Meßgenauigkeit wegen dem Rauschen auf dem langen Meßweg zwischen der DUT und dem Tester sinken. Außerdem ist wegen der Belegung der Anzahl der Testerstiftelektroniken die gleichzeitige Messung mehr als einer DUT schwierig. Da außerdem die Kommunikation zum Übertragen umgesetzter Daten an den Tester viel Zeit benötigt, während die Testergebnisse nach Abschluß sämtlicher Tests beurteilt werden, ist die Senkung der Zeitdauer ebenfalls schwierig.

[0008] Der Erfindung liegt daher die Aufgabe zugrunde, einen Tester für integrierte Halbleiterschaltungen und ein Verfahren zum Testen integrierter Halbleiterschaltungen zu schaffen, die eine schnelle hochgenaue Messung bei niedrigen Kosten realisieren können und die somit die oben erwähnten Nachteile nicht besitzen.

[0009] Diese Aufgabe wird erfindungsgemäß gelöst durch einen Tester für integrierte Halbleiterschaltungen nach Anspruch 1 bzw. durch ein Verfahren zum Testen integrierter Halbleiterschaltungen nach Anspruch 10. Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0010] Gemäß einem Merkmal der Erfindung wird eine schnelle, hochgenaue Messung realisiert und ein Tester für integrierte Halbleiterschaltungen und ein Verfahren zum Testen integrierter Halbleiterschaltungen geschaffen, mit denen mehr als eine integrierte Halbleiterschaltung gleichzeitig getestet werden kann.

[0011] Gemäß einem Aspekt der Erfindung umfaßt ein Tester für integrierte Halbleiterschaltungen eine Testschaltungsplatine, die Signale an eine zu testende integrierte Halbleiterschaltung, die eine A/D-Umsetzerschaltung zum Umsetzen analoger Signale in digitale Signale und eine D/A-Umsetzerschaltung zum Umsetzen digitaler Signale in analoge Signale enthält, senden und von ihr empfangen kann, eine Testhilfsvorrichtung, die in der Nähe der Testschaltungsplatine angeordnet und mit ihr verbunden ist und eine Testmaschine, die mit der Testhilfsvorrichtung verbunden ist. Die Testhilfsvorrichtung umfaßt eine Datenschaltung zum Erzeugen digitaler Testsignale und zum Liefern der digitalen Testsignale an die D/A-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung, eine Test-D/A-Umsetzerschaltung zum Umsetzen der digitalen Testsignale von der Datenschaltung in analoge Testsignale und zum Liefern der analogen Testsignale an die A/D-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung, eine Test-A/D-Umsetzerschaltung zum Umsetzen analoger Testausgangssignale von der D/A-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung in digitale Testausgangssignale, einen Meßdatenspeicher zum Speichern der digitalen Testausgangssignale von der A/D-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung und der digitalen Testausgangssignale der Test-A/D-Umsetzerschaltung und einen Analysatorabschnitt zum Analysieren jedes der in dem Meßdatenspeicher gespeicherten digitalen Testausgangssignale. Der Tester für integrierte Halbleiterschaltungen ist so konfiguriert, daß er die digitalen Testsignale und die analogen Testsignale anhand von Anweisungen von der Testmaschine an die zu testende integrierte Halbleiterschaltung liefert, während er die in dem Meßdatenspeicher gespeicherten Ergebnisse der Analyse jedes digitalen Testausgangssignals durch den Analysatorabschnitt an die Testmaschine liefert.

[0012] Gemäß einem weiteren Aspekt der Erfindung wird in einem Verfahren zum Testen integrierter Halbleiterschaltungen mit einer A/D-Umsetzerschaltung zum Umsetzen analoger Signale in digitale Signale und mit einer D/A-Umsetzerschaltung zum Umsetzen digitaler Signale in analoge

Signale der Test der integrierten Halbleiterschaltung in folgender Weise durchgeführt. In der Nähe einer Testschaltungsplatine, die Signale an die zu testende integrierte Halbleiterschaltung senden und von ihr empfangen kann, wird eine Testhilfsvorrichtung angeordnet. Die Testhilfsvorrichtung umfaßt eine Datenschaltung zum Erzeugen digitaler Testsignale zum Liefern der digitalen Testsignale an die D/A-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung, eine Test-D/A-Umsetzerschaltung zum Umsetzen der digitalen Testsignale von der Datenschaltung in analoge Testsignale und zum Liefern der analogen Testsignale an die A/D-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung, eine Test-A/D-Umsetzerschaltung zum Umsetzen analoger Testausgangssignale der D/A-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung in digitale Testausgangssignale, einen Meßdatenspeicher zum Speichern der digitalen Testausgangssignale von der A/D-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung und der digitalen Testausgangssignale der Test-A/D-Umsetzerschaltung und einen Analysatorabschnitt zum Analysieren jedes der in dem Meßdatenspeicher gespeicherten digitalen Testausgangssignale. Die digitalen Testsignale und die analogen Testsignale werden gemäß Anweisungen von einer Testmaschine an die zu testende integrierte Halbleiterschaltung geliefert, während die Ergebnisse der Analyse der jeweiligen in dem Meßdatenspeicher gespeicherten digitalen Testausgangssignale durch den Analysatorabschnitt an die Testmaschine geliefert werden.

[0013] Da die in der Nähe der Testschaltungsplatine angeordnete Testhilfsvorrichtung gemäß der Erfindung mit einer Datenschaltung, einer Test-D/A-Umsetzerschaltung, einer Test-A/D-Umsetzerschaltung, einem Speicher für gemessene Daten und einem DSP-Analyseabschnitt versehen ist, während die Testhilfsvorrichtung den Test der A/D-Umsetzerschaltung und der D/A-Umsetzerschaltung einer zu testenden integrierten Halbleiterschaltung ausführt, kann der Test der integrierten Mischsignal-Halbleiterschaltung mit einer A/D-Umsetzerschaltung und einer D/A-Umsetzerschaltung mit hoher Genauigkeit und hoher Geschwindigkeit ausgeführt werden, während die Kostensenkung des Testers erreicht werden kann.

[0014] Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsformen der Erfindung anhand der Figuren. Von den Figuren zeigen:

[0015] Fig. 1A-1C Diagramme der Konfiguration einer ersten Ausführungsform eines Testers für integrierte Halbleiterschaltungen und eines Testverfahrens unter Verwendung der ersten Ausführungsform des Testers gemäß der Erfindung;

[0016] Fig. 2 einen Blockschaltplan der Konfiguration einer elektrischen Schaltung in der ersten Ausführungsform;

[0017] Fig. 3 eine Seitenansicht des DUT-Abschnitts der zweiten Ausführungsform eines Testers für integrierte Halbleiterschaltungen gemäß der Erfindung;

[0018] Fig. 4A-4C die Konfiguration des DUT-Abschnitts der dritten Ausführungsform eines Testers für integrierte Halbleiterschaltungen und ein Testverfahren unter Verwendung der dritten Ausführungsform des Testers gemäß der Erfindung;

[0019] Fig. 5A, 5B den DUT-Abschnitt einer vierten Ausführungsform eines Testers für integrierte Halbleiterschaltungen und ein Testverfahren unter Verwendung der vierten Ausführungsform des Testers gemäß der Erfindung; und

[0020] Fig. 6 einen Blockschaltplan der Schaltungskonfiguration einer fünften Ausführungsform eines Testers für integrierte Halbleiterschaltungen und ein Testverfahren unter

Verwendung der fünften Ausführungsform des Testers gemäß der Erfindung.

#### Erste Ausführungsform

[0021] Fig. 1 ist ein Diagramm der Konfiguration der ersten Ausführungsform eines Testers für integrierte Halbleiterschaltungen und eines Testverfahrens unter Verwendung der ersten Ausführungsform des Testers gemäß der Erfindung. Fig. 1A ist eine Draufsicht der Testschaltungsplatine (DUT-Platine), während Fig. 1B eine Seitenansicht der Testschaltungsplatine und Fig. 1C ein Konfigurationsdiagramm einer Testmaschine (eines Testers) ist.

[0022] Der Tester der ersten Ausführungsform umfaßt eine Testschaltungsplatine (DUT-Platine) 10, eine Testhilfsvorrichtung (BOST-Vorrichtung) 20 und eine Testmaschine (Tester) 40.

[0023] In der ersten Ausführungsform dient die Testschaltungsplatine 10 zum Test einer gegossenen IC als zu testende integrierte Halbleiterschaltung (DUT) 11. Die gegossene IC ist ein integrierter Halbleiterchip (IC-Chip), der mit einem Preßharz bedeckt ist und eine Anzahl von Anschlüssen besitzt, die aus dem Preßharz herausgeführt sind. Der IC-Chip dieser DUT 11 ist beispielsweise eine Einchip-Mischsignal-System-LSI, die in einem Chip einen D/A-Umsetzer zum Umsetzen digitaler Signale in analoge Signale und einen A/D-Umsetzer zum Umsetzen analoger Signale in digitale Signale enthält. Die DUT 11 kann auch eine integrierte Mischsignal-Hybrid-Schaltung (Mischsignal-Hybrid-IC) sein, in der mehrere Chips auf einer gemeinsamen Schaltungsplatine integriert sind.

[0024] Die Testschaltungsplatine 10 besitzt einen DUT-Sockel 12 zum Einstecken der Anschlüsse einer integrierten Halbleiterschaltung (DUT) 11, wobei für den Test um den DUT-Sockel 12 eine große Anzahl von Verbindungsschlüssen 13 und Relaiskondensatoren 14 angeordnet sind.

[0025] Unter der Testschaltungsplatine 10 ist ein Testkopf 15 angeordnet. Der Testkopf 15 besitzt eine große Anzahl von Anschlußstiften 16, die mit der Testschaltungsplatine 10 verbunden werden können, wobei die benötigten Signale über diese Anschlußstifte 16 zu der DUT 11 übertragen und von ihr empfangen werden.

[0026] Die Testhilfsvorrichtung (BOST-Vorrichtung) 20 ist in der Nähe der Testschaltungsplatine 10 angeordnet. In der ersten Ausführungsform ist die Testhilfsvorrichtung 20 auf einer Testhilfsplatine (BOST-Platine) 21 ausgebildet, die auf der DUT-Platine 10 angebracht ist. Auf der DUT-Platine 10 ist ein Sockel 17 zum Anbringen der BOST-Platine 21 befestigt. Die BOST-Platine 21 besitzt einen Verbinder 22, der in den Sockel 17 auf der Unterseite gesteckt ist, wobei die BOST-Platine 21 durch die in den Sockel 17 auf der DUT-Platine 10 eingesteckten Verbinder 22 abgestützt ist, wobei über diesen Sockel 17 Signale an den Testkopf 15 gesendet oder von ihm empfangen werden.

[0027] Die BOST-Platine (Abkürzung von Built-Off-Self-Test-Platine) 21 ist eine Platine der externen DUT-Testhilfsvorrichtung, die der Testschaltung beim Durchführen des Selbsttests in der DUT (BIST: Built-In-Self-Test) hilft, ohne daß sie von dem Tester 40 abhängt, wobei sie einen AD/DA-Meßabschnitt 23, einen Controllerabschnitt 24, einen DSP-Analysatorabschnitt 25, einen Speicherabschnitt 26 und einen Stromversorgungsabschnitt 27 umfaßt.

[0028] Der Tester 40 umfaßt einen Testmuster-generator (TPG) 41, einen Stromversorgungsabschnitt 42 und einen Stiftelektronikabschnitt 43; er liefert die Quellspannung  $V_d$  an die BOST-Platine 21; und er sendet BOST-Steuersignale 44 an die BOST-Platine 21 und empfängt: solche von ihr. Die BOST-Steuersignale 44 umfassen nicht nur die Anwei-

zungssignale von dem Tester 40 an die BOST-Platine 21 und an die DUT-Platine 10, sondern auch die Testanalyse-Ergebnissignale von der BOST-Platine 21 an den Tester 40. Die Steuersignale 44, die die Testanalysenummer, den Code und dergleichen enthalten, die von dem Tester 40 an die BOST-Platine 21 eingegeben werden, werden von dem in den Tester 40 integrierten Testmuster-generator 41 anhand der in dem Testprogramm beschriebenen Testsignalbedingungen auf die gleiche Weise wie im Test für andere DUTs 11 als Testmustersignale erzeugt und über den Stiftelektronikabschnitt 43 des Testers 40 mit mehreren Signal-Eingabe/Ausgabe-Stiften an die BOST-Platine 21 und an die DUT-Platine 10 geliefert. Andererseits wird das von der BOST-Platine 21 ausgegebene Testanalyseergebnis (Bestanden/Nichtbestanden-Informationen) an den Stiftelektronikabschnitt 43 des Testers 40 übertragen, wobei die Ergebnisinformationen anhand des Vergleichs mit den Testmustersignalen und der Beurteilung des Beurteilungsabschnitts des Stiftelektronikabschnitts 43 in den Tester genommen werden.

[0029] Fig. 2 ist ein Blockschaltplan der Konfiguration einer elektronischen Schaltung in der ersten Ausführungsform. Die DUT 11 umfaßt eine A/D-Umsetzerschaltung 51, die analoge Signale in digitale Signale umsetzt, und eine D/A-Umsetzerschaltung 52, die digitale Signale in analoge Signale umsetzt.

[0030] Die BOST-Platine 21 umfaßt eine Test-D/A-Umsetzerschaltung 61, die analoge Testsignale an die A/D-Umsetzerschaltung 51 der DUT 11 liefert, und eine Test-A/D-Umsetzerschaltung 62, die analoge Testausgangssignale von der D/A-Umsetzerschaltung 52 der DUT 11 in digitale Testausgangssignale umsetzt. Ferner umfaßt die BOST-Platine 21 eine DAC-Eingangsdatschaltung (DAC-Zähler) 63, eine Datenschreibsteuerschaltung 64, einen Meßdatenspeicher-Adressenzähler 65, einen Meßdatenspeicher 66, eine Referenztaktschaltung 67, eine Taktgeneratorschaltung 68 und einen DSP-Analyseabschnitt 69. Der DSP-Analyseabschnitt 69 umfaßt einen DSP-Programm-ROM 70.

[0031] Die Test-D/A-Umsetzerschaltung 61, die Test-A/D-Umsetzerschaltung 62, die DAC-Eingangsdatschaltung 63, die Datenschreibsteuerschaltung 64 und der Meßdatenspeicher-Adressenzähler 65 sind in dem D/A- und A/D-Meßabschnitt 23 in Fig. 1 enthalten, während der Meßdatenspeicher 66 in dem Speicherabschnitt 26 und der DSP-Analyseabschnitt 69 in den DSP-Analyseabschnitt 25 enthalten ist.

[0032] Die digitalen Signale für den Test (die Testdaten) sind in der DAC-Eingangsdatschaltung 63 gespeichert und werden von dieser DAC-Eingangsdatschaltung 63 anhand des Befehls von dem Tester 40 an die D/A-Umsetzerschaltung 52 der DUT 11 und an die Test-D/A-Umsetzerschaltung 61 der BOST-Platine 21 geliefert.

[0033] Die an die Test-D/A-Umsetzerschaltung 61 gelieferten digitalen Signale für den Test (Testdaten) werden in analoge Testsignale umgesetzt, an die A/D-Umsetzerschaltung 51 der DUT 11 geliefert, in dieser A/D-Umsetzerschaltung 51 der DUT 11 in digitale Testausgangssignale umgesetzt und an den Meßdatenspeicher 66 geliefert.

[0034] Andererseits werden die direkt von der DAC-Eingangsdatschaltung 63 an die D/A-Umsetzerschaltung 52 der DUT 11 gelieferten digitalen Testsignale in der D/A-Umsetzerschaltung 52 in analoge Testausgangssignale umgesetzt und weiter in der A/D-Umsetzerschaltung 62 der BOST-Platine 21 in digitale Testausgangssignale umgesetzt, die an den Meßdatenspeicher 66 geliefert werden.

[0035] Der Meßdatenspeicher 66 speichert diese von der A/D-Umsetzerschaltung 51 der DUT 11 gelieferten digitalen Testausgangssignale sowie die von der D/A-Umsetzerschaltung 52 über die A/D-Umsetzerschaltung 62 geliefer-

ten digitalen Testausgangssignale nacheinander an spezifizierten Adressen.

[0036] Die A/D-Umsetzerschaltung 51 der DUT 11 und die A/D-Umsetzerschaltung 62 der BOST-Platine 21 setzen die analogen Signale nacheinander in digitale Signale um und geben jedesmal, wenn ein digitales Signal erzeugt ist, jeweils BUSY-Signale aus. Diese BUSY-Signale werden an die Datenschreibsteuerschaltung 64 auf der BOST-Platine 21 geliefert. Die Datenschreibsteuerschaltung 64 rückt die digitalen Testdaten der DAC-Eingangsdatschaltung 63 anhand der gelieferten BUSY-Signale nacheinander für jede Dateneinheit in die nächsten digitalen Testdaten vor und bewirkt, daß die Adresse des Meßdatenspeichers 66 für den Meßdatenspeicher-Adressenzähler 65 vorgerückt wird.

[0037] Somit werden die Codes der in der DUT 11 umgesetzten digitalen Testdaten durch die BUSY-Signale in die DAC-Eingangsdatschaltung 63 vorgerückt, wobei die in der DUT 11 umgesetzten Adressen zum Speichern der digitalen Testausgangssignale in dem Meßdatenspeicher 66 nacheinander vorgerückt werden und wobei somit die für den Test erforderliche Umsetzung in der A/D-Umsetzerschaltung 51 und in der D/A-Umsetzerschaltung 52 in der DUT 11 nacheinander ausgeführt wird, während die umgesetzten Meßdaten nacheinander in dem Meßdatenspeicher 66 gespeichert werden. Anschließend wird der Umsetzungstest bis zum letzten Codesatz in dem DSP-Analyseabschnitt 69 der BOST-Platine 21 fortgesetzt, wobei sämtliche Ergebnisse in dem Meßdatenspeicher 66 gespeichert werden.

[0038] Nach Abschluß des Umsetzungstests durch die A/D-Umsetzerschaltung 51 und die D/A-Umsetzerschaltung 52 in der DUT 11 liest der DSP-Analyseabschnitt 69 auf der BOST-Platine 21 unter Verwendung des in dem DSP-Programm-ROM 70 gespeicherten Programms nacheinander die in dem Meßdatenspeicher 66 gespeicherten umgesetzten Daten und analysiert die Umsetzungseigenschaften. Diese Analyse umfaßt die Berechnung der Parameter der A/D-Umsetzungseigenschaften, der Parameter der D/A-Umsetzungseigenschaften, der differentiellen Linearität, des integralen nichtlinearen Fehlers und dergleichen, wobei das Ergebnis der Analyse (Bestanden/Nichtbestanden-Informationen) von der BOST-Platine 21 an den Tester 40 gesendet wird, wo die Testergebnisse verarbeitet werden.

[0039] Da die BOST-Platine 21 in der ersten Ausführungsform in der Nähe der DUT-Platine 10 angeordnet ist und die Funktion zum Durchführen des Umsetzungstests der A/D-Umsetzerschaltung 51 und der D/A-Umsetzerschaltung 52 der DUT 11 besitzt, kann dieser Umsetzungstest auf der BOST-Platine 21 durchgeführt werden. Im Ergebnis kann die analoge Meßsystemleitung zwischen der DUT-Platine 10 und der BOST-Platine 21 verkürzt werden, das Auftreten von Meßfehlern wegen Rauschens ausreichend beschränkt werden, der hochgenaue Test realisiert werden und der Test anhand des Sendens und Empfangens der Signale zwischen der DUT-Platine 10 und der nahegelegenen BOST-Platine 21 mit höherer Geschwindigkeit durchgeführt werden. Da die analoge Meßsystemleitung zwischen der BOST-Platine 21 und dem Tester 40 weggelassen werden kann, kann die Genauigkeit des Tests verbessert werden. Da außerdem der erforderliche Umsetzungstest auf der BOST-Platine 21 abgeschlossen wird und die Ergebnisse an den Tester 40 übertragen werden, kann die Testgeschwindigkeit im Vergleich dazu, daß die umgesetzten Daten an den Tester 40 gesendet werden, verbessert werden.

[0040] Da die Umsetzungstestfunktion der A/D-Umsetzerschaltung 51 und der D/A-Umsetzerschaltung 52 in der ersten Ausführungsform auf der BOST-Platine 21 angeordnet ist, braucht die umfangreiche Funktion hierfür nicht zu dem Tester 40 hinzugefügt zu werden, wobei steigende Ko-

sten des Testers 40 vermieden werden können und sogar ein herkömmlicher langsamer Tester verwendet werden kann. Da die Erweiterung der Funktionen durch eine Hardwarekonfiguration beschränkt ist, während die Verbesserung des Testers selbst erforderlich ist, können die Entwicklungskosten bei der Herstellung eines Testers 40 mit einer Spezialmeßfunktion steigen. Da gemäß der ersten Ausführungsform der Testmuster-generator und die Stiftelektroniken verwendet werden, die typischerweise in allgemeinen Testern eingesetzt werden, kann die BOST-Platine konfiguriert und gesteuert werden, ohne daß sie durch verschiedene Spezifikationen und Beschränkungen der Tester beeinflusst wird, wobei eine Anwendung auf verschiedene Tester möglich ist.

#### Zweite Ausführungsform

[0041] Fig. 3 ist eine Seitenansicht des DUT-Abschnitts der zweiten Ausführungsform eines Testers für integrierte Halbleiterschaltungen und eines Testverfahrens unter Verwendung der zweiten Ausführungsform des Testers gemäß der Erfindung. In der zweiten Ausführungsform ist die BOST-Platine 21 der ersten Ausführungsform auf der Oberseite der DUT-Platine 10 angeordnet. Außerdem wird in der zweiten Ausführungsform eine gegossene integrierte Halbleiterschaltung, deren A/D-Umsetzer 41 und D/A-Umsetzer 42 getestet werden, in den Sockel 12 auf der DUT-Platine 10 gesteckt.

[0042] In Fig. 3 ist auf der rechten Oberseite der DUT-Platine 10 eine BOST-Platine 21 angeordnet, wobei die beiden Platinen in diesem Abschnitt verbunden sind, während zwischen den beiden Platinen und dem Testkopf 15 Signale gesendet und empfangen werden. Die Konfiguration auf der BOST-Platine 20 ist die gleiche wie die Konfiguration aus Fig. 1, und ihre Schaltungskonfiguration ist die gleiche wie die Schaltungskonfiguration aus Fig. 2.

#### Dritte Ausführungsform

[0043] Fig. 4 zeigt die Konfiguration des DUT-Abschnitts der dritten Ausführungsform eines Testers für integrierte Halbleiterschaltungen und ein Testverfahren unter Verwendung der dritten Ausführungsform des Testers gemäß der Erfindung. Fig. 4A ist eine Draufsicht der BOST-Platine 21A, während Fig. 4B eine Draufsicht der BOST-Schnittstellenplatine, Fig. 4C eine Draufsicht der DUT-Platine 10A und Fig. 4D eine Seitenansicht der DUT-Platine 10A ist. In der dritten Ausführungsform wird eine integrierte Halbleiterschaltung in einem Waferzustand dem Test ausgesetzt (DUT). Die DUT-Platine 10A ist eine kreisförmige Sondenkarte, die auf der Unterseite in ihrem Mittelabschnitt eine große Anzahl von Sonden 30 für den Wafer 11A besitzt. Auf der DUT-Platine 10A ist über eine Verbindungsstruktur 31 eine BOST-Schnittstellenplatine 32 angeordnet, auf der ein Verbinder 33 befestigt ist. Die BOST-Platine 21A, die die BOST-Vorrichtung 20 bildet, ist ebenfalls kreisförmig, wobei auf der Oberseite dieser BOST-Platine 21A ebenfalls der AD/DA-Meßabschnitt 23, ein Controllerabschnitt 24, ein Speicherabschnitt 26, ein DSP-Analyseabschnitt 25 und eine Stromversorgung 27 angeordnet sind.

[0044] Die Konfiguration der elektrischen Schaltung der dritten Ausführungsform ist die gleiche wie die Konfiguration aus Fig. 2 in der ersten Ausführungsform, wobei der Test dadurch, daß in dem Abschnitt, der dem Chip des Wafers 11A entspricht, ein Kontakt der Sonde 30 zu einer großen Anzahl von Anschlüssen hergestellt wird, ähnlich wie in der ersten Ausführungsform durchgeführt wird. Der Abschnitt, der dem Chip des Wafers 11A entspricht, wird nacheinander verschoben, wobei nacheinander benachbarte den

Chips entsprechende Abschnitte getestet werden.

#### Vierte Ausführungsform

5 [0045] Fig. 5 zeigt den DUT-Abschnitt der vierten Ausführungsform eines Testers für integrierte Halbleiterschaltungen und ein Testverfahren unter Verwendung der vierten Ausführungsform des Testers gemäß der Erfindung, wobei Fig. 5A eine Seitenansicht und Fig. 5B eine Draufsicht ist. 10 In der vierten Ausführungsform sind die BOST-Platine 20A aus der dritten Ausführungsform sowie die BOST-Schnittstellenplatine 17 und die Verbindungsstruktur 16 weggelassen. Die erforderliche Verbindung ist dadurch ausgeführt, daß ein AD/DA-Meßabschnitt 21, ein Steuerabschnitt 22, 15 ein Speicherabschnitt 24, ein DSP-Analyseabschnitt 23 und ein Stromversorgungsabschnitt 25, die die BOST-Vorrichtung 20 bilden, sämtlich auf der Oberseite der DUT-Platine 10A mit den Sonden 30 angeordnet sind.

[0046] Die Schaltungskonfiguration der vierten Ausführungsform ist die gleiche wie die Konfiguration aus Fig. 2 in der ersten Ausführungsform, wobei der Test der A/D-Umsetzerschaltung 51 und der D/A-Umsetzerschaltung 52 der DUT 11A in der gleichen Weise wie in der ersten Ausführungsform durchgeführt wird.

25 [0047] Da die BOST-Vorrichtung 20 oder die BOST-Platine 21 oder 21A in der zweiten, dritten und vierten Ausführungsform in der Nähe der DUT-Platine 10 oder 10A angeordnet sind, während der Test in der gleichen Weise wie in der ersten Ausführungsform durchgeführt wird, können wie in der ersten Ausführungsform ein hochgenauer schneller Test und die Kostensenkung der Vorrichtung erreicht werden.

#### Fünfte Ausführungsform

35 [0048] Fig. 6 ist ein Blockschaltplan der Schaltungskonfiguration der fünften Ausführungsform eines Testers für integrierte Halbleiterschaltungen und eines Testverfahrens unter Verwendung der fünften Ausführungsform des Testers der Erfindung. In der fünften Ausführungsform ist die A/D-Umsetzerschaltung 51 von einem Typ, der keine BUSY-Signale erzeugt. Somit werden von dem Tester 40 Auslösesignale 74 zum Vorrücken der digitalen Testdaten der Datenschaltung 63 in die digitale Einheit und zum Vorrücken der Adresse des Meßdatenspeichers 66 geliefert. Da die A/D-Umsetzerschaltung 62 so konfiguriert werden kann, daß BUSY-Signale erzeugt werden, können diese BUSY-Signale zusammen mit den Auslösesignalen 74 verwendet werden. Die anderen Konfigurationen sind die gleichen wie die aus Fig. 2.

50 [0049] Da die von dem Tester 40 an die BOST-Vorrichtung 20 gesendeten Auslösesignale 74 in der fünften Ausführungsform digitale Signale sind, während zwischen dem Tester 40 und der BOST-Vorrichtung 20 kein leicht durch Rauschen beeinflusstes analoges Signalsystem hinzugefügt ist, kann außerdem wie in der ersten Ausführungsform ein hochgenauer, schneller Test erreicht werden.

55 [0050] Da die in der Nähe der Testschaltungsplatine angeordnete Testhilfsvorrichtung gemäß der Erfindung wie oben beschrieben mit einer Datenschaltung, einer Test-D/A-Umsetzerschaltung, einer Test-A/D-Umsetzerschaltung, einem Meßdatenspeicher und einem DSP-Analyseabschnitt versehen ist, während die Testhilfsvorrichtung den Test der A/D-Umsetzerschaltung und der D/A-Umsetzerschaltung einer zu testenden integrierten Halbleiterschaltung durchführen kann, kann der Test einer integrierten Mischsignal-Halbleiterschaltung mit einer A/D-Umsetzerschaltung und mit einer D/A-Umsetzerschaltung mit hoher Genauigkeit und mit hoher Geschwindigkeit durchgeführt werden und die Ko-

stensenkung des Testers erreicht werden.

[0051] Außerdem wird der Test der A/D-Umsetzerschaltung und der D/A-Umsetzerschaltung der gegossenen integrierten Halbleiterschaltung in dem Tester, dessen Testschaltungsplatine mit einem Sockel zum Anbringen der gegossenen IC versehen ist, leicht durchgeführt, während der ähnliche Test unter Verwendung der mit Sonden versehenen Testschaltungsplatine ebenfalls leicht in dem Waferzustand durchgeführt werden kann.

[0052] Außerdem kann in dem Tester, dessen Testhilfsvorrichtung eine Testhilfsplatine mit einer Datenschaltung, einer Test-D/A-Umsetzerschaltung, einer Test-A/D-Umsetzerschaltung, einem Meßdatenspeicher und einem DSP-Analyseabschnitt umfaßt, die Testhilfsvorrichtung in der Testhilfsplatine konzentriert sein, um die Vorrichtung zu vereinfachen. In dem Tester, dessen Testhilfsplatine in den Sockel der Testschaltungsplatine gesteckt wird, kann dessen Baueinheit vereinfacht werden, während beim Anordnen der Testhilfsplatine auf der Testschaltungsplatine sogar der Tester vereinfacht werden kann.

[0053] Außerdem kann in dem Tester, dessen Testhilfsvorrichtung direkt auf der Testschaltungsplatine angebracht ist, die Konfiguration des Testers weiter vereinfacht werden.

[0054] Außerdem kann in dem Tester, der Vorrückssignale von der Test-A/D-Umsetzerschaltung und von der A/D-Umsetzerschaltung der zu testenden integrierten Halbleiterschaltung erzeugt, und der Vorrückssignale von der Testmaschine erzeugt, durch das Vorrücken der digitalen Testsignale oder der Adresse des Meßdatenspeichers anhand des Vorrückssignals ein effektiver Test durchgeführt werden.

[0055] Offensichtlich sind im Licht der obengenannten Lehre viele Abwandlungen und Änderungen der Erfindung möglich. Somit ist selbstverständlich, daß die Erfindung im Umfang der beigefügten Ansprüche anders als oben beschrieben ausgeführt werden kann.

[0056] Die gesamte Offenbarung von JP 2000-356724-A, eingereicht am 22. November 2000, einschließlich der Beschreibung, der Ansprüche, der Zeichnung und der Zusammenfassung, auf der die Priorität der vorliegenden Anmeldung beruht, ist hiermit in ihrer Gesamtheit durch Literaturhinweis eingefügt.

#### Patentansprüche

1. Tester für integrierte Halbleiterschaltungen, mit:  
einer Testschaltungsplatine (10, 10A), die Signale an eine zu testende integrierte Halbleiterschaltung (11), die eine A/D-Umsetzerschaltung (51) zum Umsetzen analoger Signale in digitale Signale und eine D/A-Umsetzerschaltung (52) zum Umsetzen digitaler Signale in analoge Signale enthält, senden und von ihr empfangen kann;  
einer Testhilfsvorrichtung (20), die in der Nähe der Testschaltungsplatine (10, 10A) angeordnet und mit ihr verbunden ist; und  
einer Testmaschine (40), die mit der Testhilfsvorrichtung (20) verbunden ist,  
wobei die Testhilfsvorrichtung (20) umfaßt:  
eine Datenschaltung (63) zum Erzeugen digitaler Testsignale und zum Liefern der digitalen Testsignale an die D/A-Umsetzerschaltung (52) der zu testenden integrierten Halbleiterschaltung (11);  
eine Test-D/A-Umsetzerschaltung (61) zum Umsetzen der digitalen Testsignale von der Datenschaltung (63) in analoge Testsignale und zum Liefern der analogen Testsignale an die A/D-Umsetzerschaltung (51) der zu testenden integrierten Halbleiterschaltung (11);  
eine Test-A/D-Umsetzerschaltung (62) zum Umsetzen

analoger Testausgangssignale von der D/A-Umsetzerschaltung (52) der zu testenden integrierten Halbleiterschaltung (11) in digitale Testausgangssignale;  
einen Meßdatenspeicher (66) zum Speichern der digitalen Testausgangssignale von der A/D-Umsetzerschaltung (51) der zu testenden integrierten Halbleiterschaltung (11) und der digitalen Testausgangssignale der Test-A/D-Umsetzerschaltung (62); und  
einen Analysatorabschnitt (69) zum Analysieren jedes der in dem Meßdatenspeicher (66) gespeicherten digitalen Testausgangssignale, wobei  
der Tester für integrierte Halbleiterschaltungen so konfiguriert ist, daß er die digitalen Testsignale und die analogen Testsignale anhand von Anweisungen von der Testmaschine (40) an die zu testende integrierte Halbleiterschaltung (11) liefert, während er die in dem Meßdatenspeicher (66) gespeicherten Ergebnisse der Analyse jedes digitalen Testausgangssignals durch den Analysatorabschnitt (69) an die Testmaschine (40) liefert.

2. Tester für integrierte Halbleiterschaltungen nach Anspruch 1, dadurch gekennzeichnet, daß jede integrierte Halbleiterschaltung (11) als gegossene IC konstruiert ist, bei der ein integrierter Halbleiterschaltungsschip mit einem Preßharz eingeschlossen ist, aus dem mehrere Anschlüsse geführt sind, wobei die Testschaltungsplatine (10, 10A) einen Sockel (12) zum Anbringen der gegossenen IC besitzt.

3. Tester für integrierte Halbleiterschaltungen nach Anspruch 1, dadurch gekennzeichnet, daß jede integrierte Halbleiterschaltung (11) in einem Halbleiterwafer (11A) enthalten ist, während die Testschaltungsplatine (10, 10A) mit mehreren Sonden (30) versehen ist, die mit den integrierten Halbleiterschaltungen (11, 11A) in Kontakt stehen.

4. Tester für integrierte Halbleiterschaltungen nach einem vorangehenden Anspruch, dadurch gekennzeichnet, daß die Testhilfsvorrichtung (20) eine Testhilfsplatine (21, 21A) enthält, die die Test-D/A-Umsetzerschaltung (61), die Test-A/D-Umsetzerschaltung (62), den Meßdatenspeicher (66) und die Analysatorschaltung (69) trägt.

5. Tester für integrierte Halbleiterschaltungen nach Anspruch 4, dadurch gekennzeichnet, daß die Testhilfsplatine (21, 21A) in der Weise konstruiert ist, daß sie in den Sockel (17) auf der Testschaltungsplatine (10, 10A) eingesetzt werden kann.

6. Tester für integrierte Halbleiterschaltungen nach Anspruch 4, dadurch gekennzeichnet, daß die Testhilfsplatine (21, 21A) auf der Testschaltungsplatine (10, 10A) angebracht ist.

7. Tester für integrierte Halbleiterschaltungen nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Testhilfsvorrichtung (20) direkt an der Testschaltungsplatine (10, 10A) befestigt ist.

8. Tester für integrierte Halbleiterschaltungen nach einem vorangehenden Anspruch, dadurch gekennzeichnet, daß die Test-A/D-Umsetzerschaltung (62) und die A/D-Umsetzerschaltung (51) der zu testenden integrierten Halbleiterschaltung (11) jedesmal, wenn ein digitales Testausgangssignal ausgegeben wird, ein Vorrückssignal ausgeben, wobei das digitale Testsignal von der Datenschaltung (63) vorrückt und die Adresse des Meßdatenspeichers (66) vorrückt.

9. Tester für integrierte Halbleiterschaltungen nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Testmaschine (40) jedesmal, wenn die A/D-Umsetzerschaltung (51) der zu testenden integrierten

Halbleiterschaltung (11) ein digitales Testausgangssignal ausgibt, ein Vorrücksignal ausgibt, wobei anhand des Vorrücksignals das digitale Testsignal von der Datenschaltung (63) vorrückt und die Adresse des Meßdatenspeichers (66) vorrückt.

10. Verfahren zum Testen integrierter Halbleiterschaltungen mit einer A/D-Umsetzerschaltung (51) zum Umsetzen analoger Signale in digitale Signale und mit einer D/A-Umsetzerschaltung (52) zum Umsetzen digitaler Signale in analoge Signale, wobei der Test der integrierten Halbleiterschaltung in der Weise durchgeführt wird, daß in der Nähe einer Testschaltungsplatine (10, 10A), die Signale an die zu testende integrierte Halbleiterschaltung (11) senden und von ihr empfangen kann, eine Testhilfsvorrichtung (20) angeordnet wird, die umfaßt:  
eine Datenschaltung (63) zum Erzeugen digitaler Testsignale und zum Liefern der digitalen Testsignale an die D/A-Umsetzerschaltung (52) der zu testenden integrierten Halbleiterschaltung (11);  
eine Test-D/A-Umsetzerschaltung (61) zum Umsetzen der digitalen Testsignale: von der Datenschaltung (63) in analoge Testsignale zum Liefern der analogen Testsignale an die A/D-Umsetzerschaltung (51) der zu testenden integrierten Halbleiterschaltung (11);  
eine Test-A/D-Umsetzerschaltung (62) zum Umsetzen analoger Testausgangssignale der D/A-Umsetzerschaltung (52) der zu testenden integrierten Halbleiterschaltung (11) in digitale Testausgangssignale;  
einen Meßdatenspeicher (66) zum Speichern der digitalen Testausgangssignale von der A/D-Umsetzerschaltung (51) der zu testenden integrierten Halbleiterschaltung (11) und der digitalen Testausgangssignale der Test-A/D-Umsetzerschaltung (62); und  
einen Analysatorabschnitt (69) zum Analysieren jedes der in dem Meßdatenspeicher (66) gespeicherten digitalen Testausgangssignale, wobei die digitalen Testsignale und die analogen Testsignale gemäß Anweisungen von einer Testmaschine (40) an die zu testende integrierte Halbleiterschaltung (11) geliefert werden, während die Ergebnisse der Analyse der jeweiligen in dem Meßdatenspeicher (66) gespeicherten digitalen Testausgangssignale durch den Analysatorabschnitt (69) an die Testmaschine (40) geliefert werden.
11. Verfahren zum Testen integrierter Halbleiterschaltungen nach Anspruch 10, dadurch gekennzeichnet, daß die zu testenden integrierten Halbleiterschaltungen (11) gegossene ICs sind, bei denen ein integrierter Halbleiterschaltungschip mit einem Preßharz eingeschlossen ist, aus dem mehrere Anschlüsse geführt sind, wobei der Test dadurch ausgeführt wird, daß die gegossene IC in einem Sockel (12) der Testschaltungsplatine (10, 10A) angebracht wird.
12. Verfahren zum Testen integrierter Halbleiterschaltungen nach Anspruch 10, dadurch gekennzeichnet, daß die zu testenden integrierten Halbleiterschaltungen (11) in einem Halbleiterwafer (11A) enthalten sind, wobei der Test dadurch durchgeführt wird, daß mehrere auf der Testschaltungsplatine (10, 10A) vorgesehene Sonden (30) mit den zu testenden integrierten Halbleiterschaltungen (11, 11A) in Kontakt gebracht werden.
13. Verfahren zum Testen integrierter Halbleiterschaltungen nach einem der Ansprüche 10 bis 12, dadurch gekennzeichnet, daß die Testhilfsvorrichtung (20) eine Testhilfsplatine (21, 21A) enthält, die die Test-D/A-Umsetzerschaltung (61), die Test-A/D-Umsetzerschal-

tung (62), den Meßdatenspeicher (66) und die Analysatorschaltung (69) trägt, wobei der Test dadurch durchgeführt wird, daß die Testhilfsplatine (21, 21A) in der Nähe der Testschaltungsplatine (10, 10A) angeordnet wird.

14. Verfahren zum Testen integrierter Halbleiterschaltungen nach Anspruch 13, dadurch gekennzeichnet, daß der Test dadurch durchgeführt wird, daß die Testhilfsplatine (21, 21A) in einen Sockel (17) auf der Testschaltungsplatine (10, 10A) gesteckt wird.

15. Verfahren zum Testen integrierter Halbleiterschaltungen nach Anspruch 13, dadurch gekennzeichnet, daß der Test dadurch durchgeführt wird, daß die Testhilfsplatine (21, 21A) auf der Testschaltungsplatine (10, 10A) angebracht wird.

16. Verfahren zum Testen integrierter Halbleiterschaltungen nach einem der Ansprüche 10 bis 12, dadurch gekennzeichnet, daß der Test dadurch durchgeführt wird, daß die Testhilfsvorrichtung (20) direkt an der Testschaltungsplatine (10, 10A) befestigt wird.

17. Verfahren zum Testen integrierter Halbleiterschaltungen nach einem der Ansprüche 10 bis 16, dadurch gekennzeichnet, daß der Test in der Weise durchgeführt wird, daß jedesmal, wenn durch die Test-A/D-Umsetzerschaltung (62) und durch die A/D-Umsetzerschaltung (51) der zu testenden integrierten Halbleiterschaltung (11) die digitalen Testausgangssignale ausgegeben werden, ein Vorrücksignal ausgegeben wird, wobei anhand des Vorrücksignals das digitale Testsignal von der Datenschaltung (63) vorrückt und die Adresse des Meßdatenspeichers (66) vorrückt.

18. Verfahren zum Testen integrierter Halbleiterschaltungen nach einem der Ansprüche 10 bis 16, dadurch gekennzeichnet, daß der Test in der Weise durchgeführt wird, daß die Testmaschine (40) jedesmal, wenn die A/D-Umsetzerschaltung (51) der zu testenden integrierten Halbleiterschaltung (11) ein digitales Testausgangssignal ausgibt, ein Vorrücksignal ausgibt, wobei anhand des Vorrücksignals das digitale Testsignal von der Datenschaltung (63) vorrückt und die Adresse des Meßdatenspeichers (66) vorrückt.

---

Hierzu 6 Seite(n) Zeichnungen

---

- Leerseite -





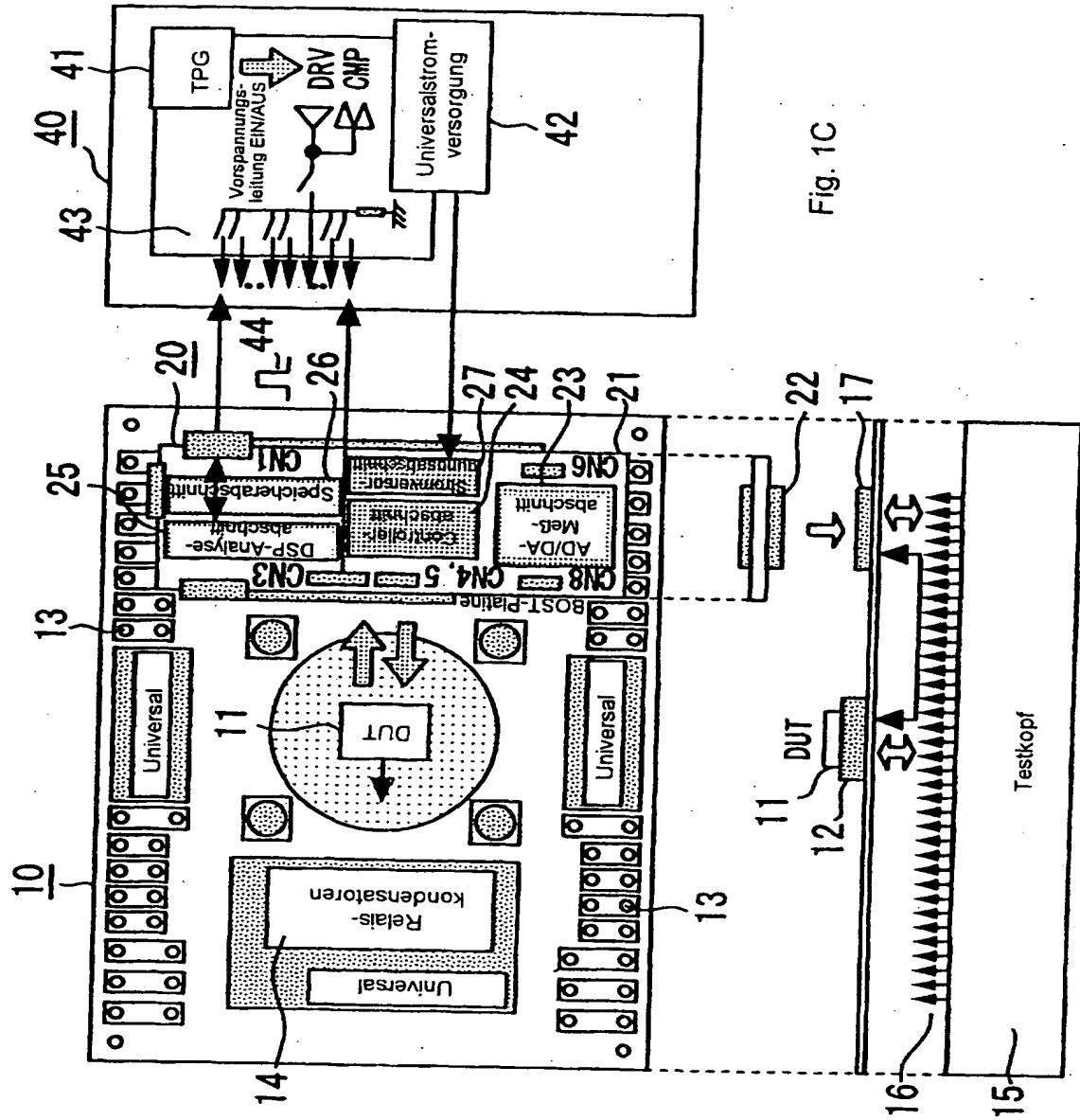


Fig. 1A

Fig. 1B

Fig. 1C

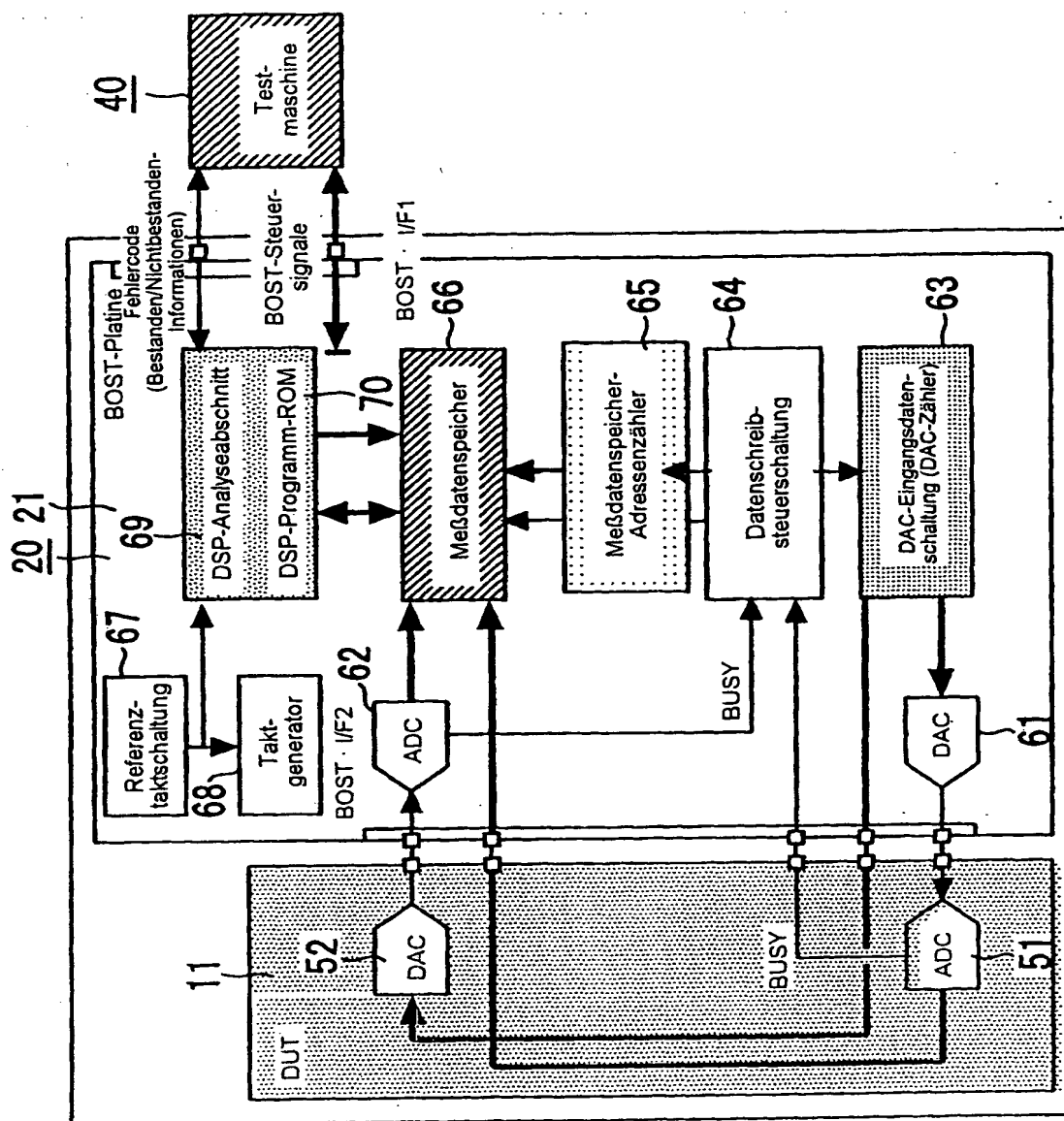


Fig. 2

Fig. 3

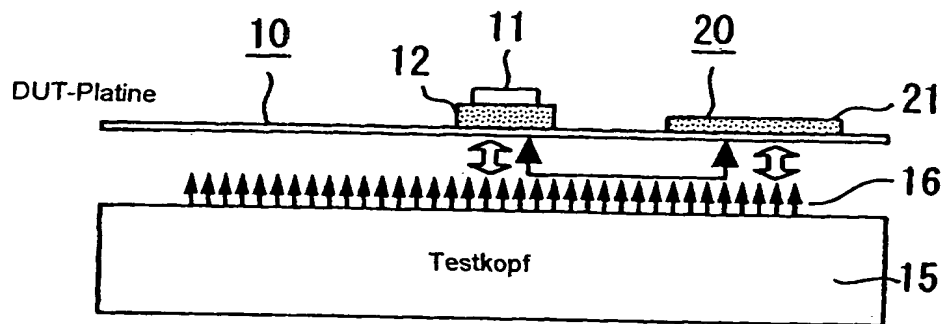


Fig. 4D

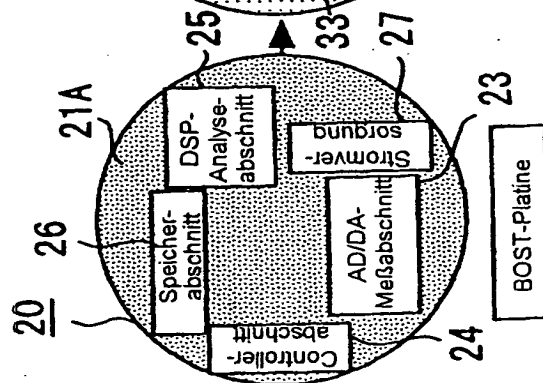
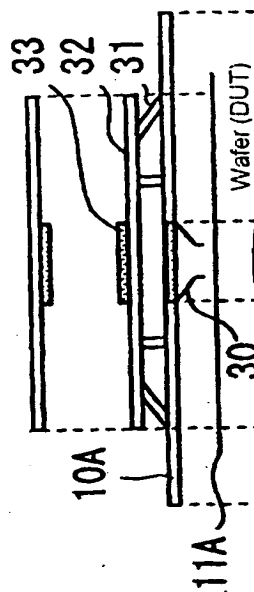


Fig. 4A

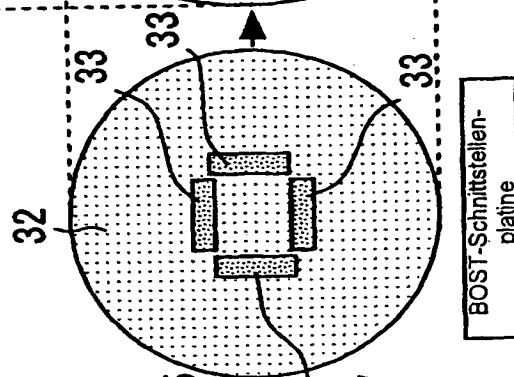


Fig. 4B

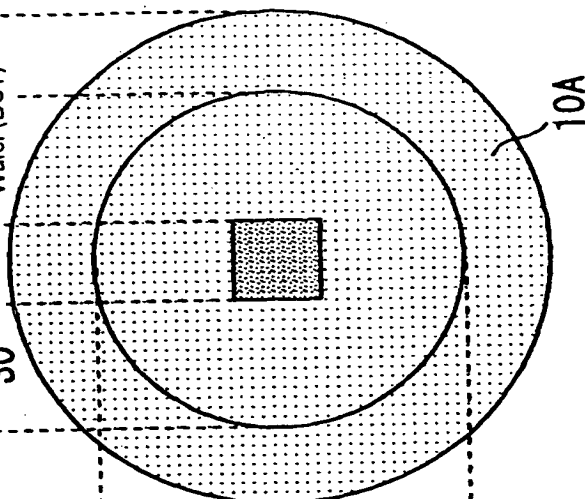
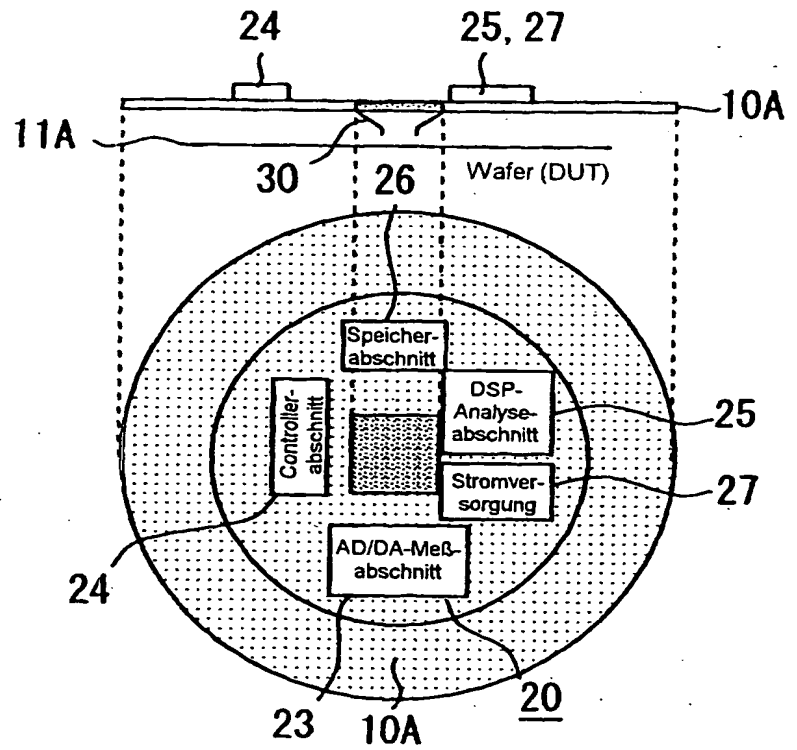
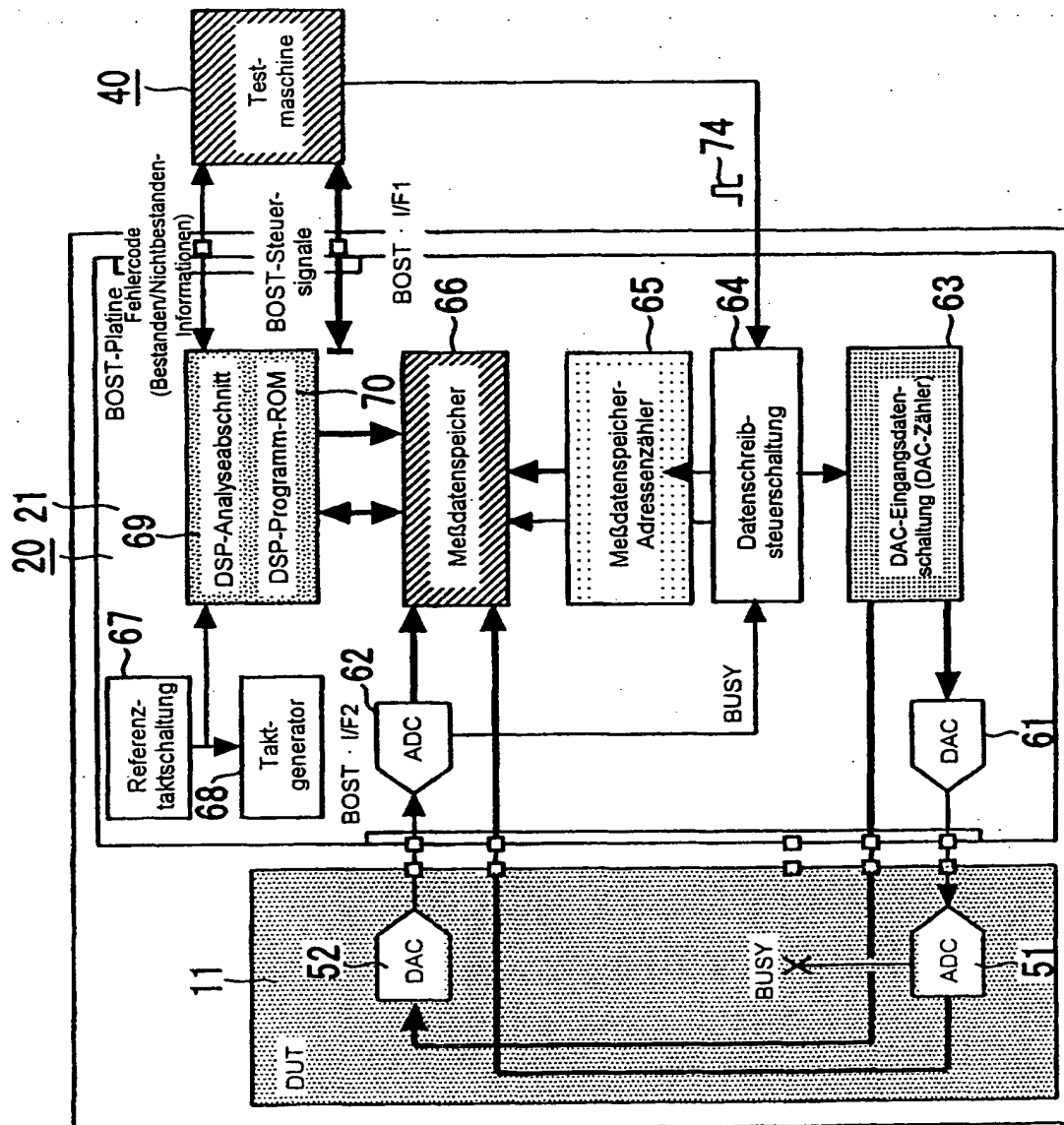


Fig. 4C

Fig. 5A

Fig. 5B





**Fig. 6**